

[Original document](#)

SEMICONDUCTOR PHOTODETECTING ELEMENT

Publication number: JP2065279

Publication date: 1990-03-05

Inventor: TORIKAI TOSHITAKA

Applicant: NIPPON ELECTRIC CO

Classification:

- international: **H01L31/10; H01L31/10; H01L31/10; H01L31/10; (IPC1-7): H01L31/10**

- european:

Application number: JP19880217052 19880831

Priority number(s): JP19880217052 19880831

[View INPADOC patent family](#)

[Report a data error here](#)

Abstract of JP2065279

PURPOSE:To decrease a traveling time of electrons so as to realize a high speed response by a method wherein an intermediate layer, whose forbidden bandwidth decreases at an optional gradient starting from a semiconductor substrate toward a light absorbing layer, is provided between the semiconductor substrate and the light absorbing layer. **CONSTITUTION:**An $(\text{Al}_x\text{Ga}_{1-x})_{0.47}\text{In}_{0.53}\text{As}$ intermediate layer 2 with the optional gradient of a forbidden bandwidth is grown on an n<+>-InP substrate 1 through an organic metal vapor growth method. The gradient of a forbidden bandwidth can be obtained by gradually decreasing the content x of Al from 1.0 to 0. Thereafter, an $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ light absorbing layer 3 and an InP cap layer 4 are laminated. A p-type conductive region 5 is formed through the thermal diffusion of Zn and a pn junction front is positioned near to the interface between the light absorbing layer 3 and the cap layer 4. An SiN_x surface protective film 6 is deposited through a plasma CVD method, a window is provided to the p-type conductive region 5 and an AuZn p-side electrode 7 is formed there. Therefore, as a barrier does not exist, electron carriers can travel at a high speed.

Data supplied from the *esp@cenet* database - Worldwide

1
2
3
4

⑫ 公開特許公報(A) 平2-65279

⑤ Int. Cl.⁵

識別記号

庁内整理番号

⑬ 公開 平成2年(1990)3月5日

H 01 L 31/10

7733-5F H 01 L 31/10

A

審査請求 未請求 請求項の数 1 (全4頁)

⑭ 発明の名称 半導体受光素子

⑰ 特 願 昭63-217052

⑱ 出 願 昭63(1988)8月31日

⑲ 発 明 者 鳥 飼 俊 敬 東京都港区芝5丁目33番1号 日本電気株式会社内

⑳ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号

㉑ 代 理 人 弁理士 本庄 伸介

明 細 書

1. 発明の名称

半導体受光素子

2. 特許請求の範囲

半導体基板上に光吸収層および光を透過する広い禁制帯幅を有する半導体キャップ層が具備されている半導体受光素子において、該半導体基板と光吸収層との間に、該半導体基板から光吸収層に向って禁制帯幅が任意の勾配をもって減少していく中間層が設けられている事を特徴とする半導体受光素子。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は光通信装置等において用いられる高速半導体受光素子に関する。

〔従来の技術〕

光通信の高速・大容量化に伴い、高速応答を示

す受光素子の開発が進められている。現在の光通信波長である1.3 μm 帯、或いは1.5 μm 帯における受光素子として、InP基板を用い、InPに格子整合する $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ を光吸収層とした構造が広く用いられている。第2図にその一例を示す。第2図(a)の断面図において、n型導電性InP基板1の上に n^+ -InPバッファ層2a、 n^+ -InGaAs光吸収3、 n -InPキャップ層4で構成されるエピタキシャル層ウェーハに選択的にp型導電領域5を形成し、表面保護膜6、電極7、8を形成してフォトダイオードが構成されている。

〔発明が解決しようとする課題〕

フォトダイオードの高速化を図るには、接合容量を減らす事と、光助起によって発生したキャリアの走行時間を短縮する事が有効である。前者については接合面積を減らす事で解決される。ここでは、キャリアの走行時間を短縮するための改良について述べる。第2図(b)は従来のフォトダイオード第2図(a)のA-A'間における動作時のバンド

ダイアグラムを示している。光照射によって光吸収層 3 で発生した電子-正孔キャリア対のうち正孔は A 側へ、電子は A' 側へ走行する。しかるに電子キャリアは、バッファ層 2 a へ注入されるとき、伝導帯端不連続による障壁 9 によって走行が妨げられる。したがって、第 2 図(a)の構造フォトダイオードではその障壁 9 が高速化に著しい支障をきたしていた。

〔課題を解決するための手段〕

本発明は、半導体基板上に光吸収層および光を透過する広い禁制帯幅を有するキャップ層が具備されている半導体受光素子であって、該半導体基板と光吸収層との間に該半導体基板から光吸収層に向かって禁制帯幅が任意の勾配をもって減少していく中間層が設けられている事を特徴とする。

〔作用〕

本発明は上述の構造の採用により、従来の欠点を解決した。従来例との比較のため、InP/InGaAs 系ヘテロ接合フォトダイオードについて説明するが、他の半導体材料系についても全く同様

である。第 1 図(b)に本発明の一実施例の構造を示すように禁制帯幅が任意の勾配をもって減少する中間層 2 を導入することにより、光励起により発生した電子キャリアに対する障壁 9 はなくなる。

第 2 図(b)に示した従来の半導体受光素子のバンドダイアグラムの説明から明らかなように、本発明の構造では、電子の走行時間は短縮され高速応答が可能となる。

〔実施例〕

次に実施例を挙げ本発明を一層詳しく説明する。

第 1 図は本発明の一実施例を示す図であり、同図(a)はその断面図、同図(b)はそのバンドダイアグラムである。

本実施例の構造は以下の工程に従って作製された。 n^+ -InP 基板 1 の上に有機金属気相成長法により、任意の禁制帯幅勾配を有する $(Al_xGa_{1-x})_{0.47}In_{0.53}As$ 中間層 2 を成長した。禁制帯幅の勾配は Al 組成 x を 1.0 から 0 まで徐々に減少させていく事によって得た。その後、 $In_{0.53}Ga_{0.47}As$ 光吸収層 3, InP キャップ層 4 を積層した。各

- 3 -

- 4 -

々のキャリア濃度は $5 \times 10^{16} \text{cm}^{-3}$ 程度である。p 型導電領域 5 は n 熱拡散によって形成され p n 接合フロントは光吸収層 3 とキャップ層 4 との界面近傍に位置させた。プラズマ CVD 法により、 SiN_x 表面保護膜 6 を堆積させ、p 型導電領域 5 の表面の一部を窓あけして AuZn p 側電極 7 を形成した。n 側電極 8 は AuGe/Ni 金属膜である。

第 2 図(b)のバンドダイアグラムから明らかなように、第 1 図(b)における障壁 9 が本実施例の構造ではないから、電子キャリアが高速に走行できる。〔発明の効果〕

前記実施例によって作製した本発明のフォトダイオードにおいては、電子キャリアの走行時間を短縮できるので、カットオフ周波数を高くできる。第 3 図はフォトダイオードの周波数特性を示している。図中の実線は実施例で作製した本発明のフォトダイオードの特性を示していて、点線は従来例の周波特性を示している。従来例の構造では、伝導帯不連続の障壁のため電子キャリアがトラップされ、周波数応答劣化が生じていたが、本発明

の実施例では 20 GHz 程度まで平坦な応答特性が得られた。

尚、本発明は PIN 型フォトダイオードについてのみ説明したが、例えばアバランシェ・フォトダイオードのような他のフォトダイオードについても同じ効果が得られる。

4. 図面の簡単な説明

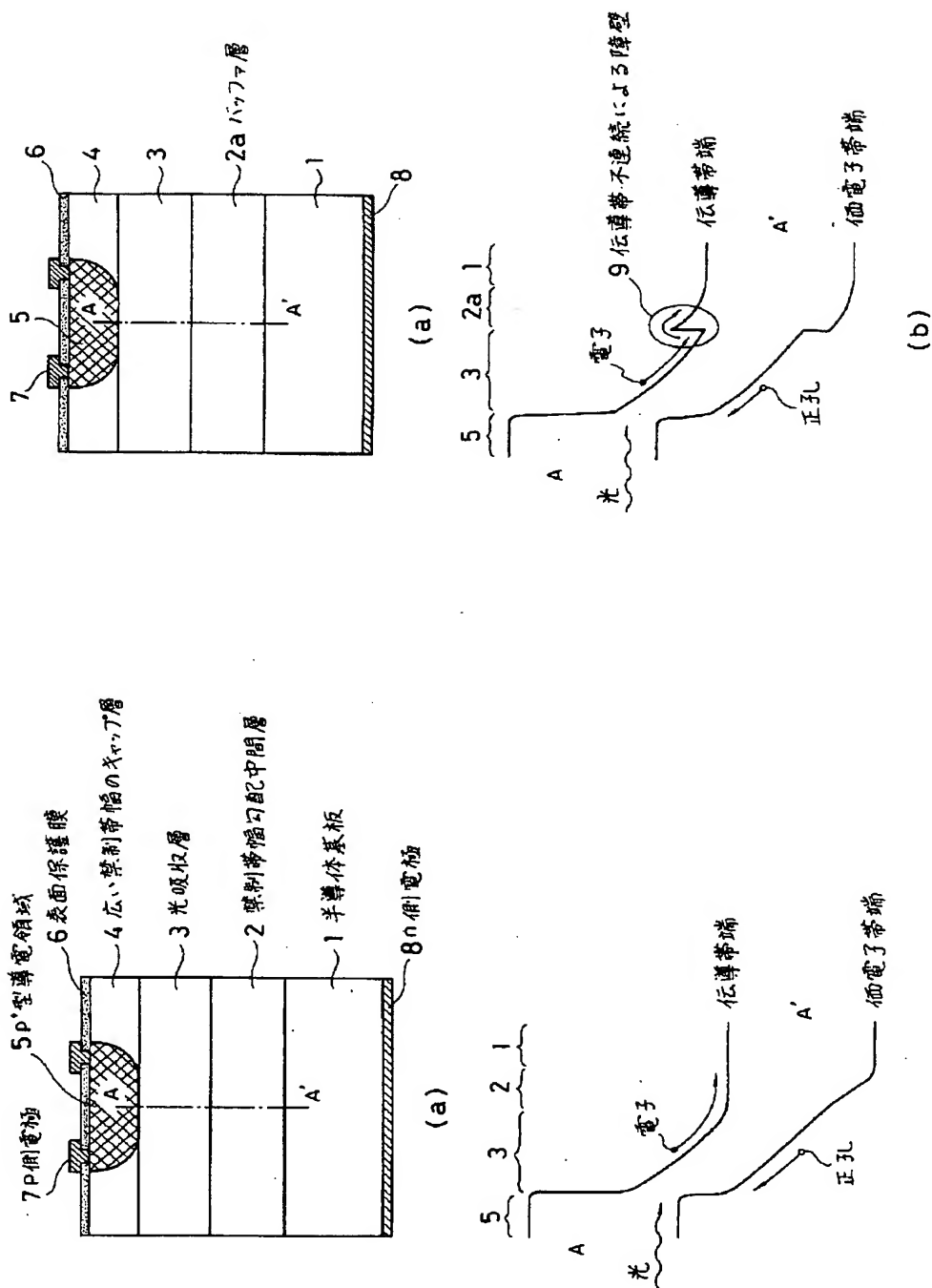
第 1 図は本発明の一実施例の半導体受光素子、第 2 図は従来の半導体受光素子をそれぞれ示す図であり、各図において(a)は断面図、(b)はバンドダイアグラムである。第 3 図は第 1 図の実施例及び第 2 図の受光素子の周波数応答特性図である。

1 ……半導体基板、2 ……禁制帯幅勾配中間層、2 a ……バッファ層、3 ……光吸収層、4 ……広い禁制帯幅のキャップ層、5 …… p^+ 型導電領域、6 ……表面保護膜、7 ……p 側電極、8 ……n 側電極、9 ……伝導帯不連続による障壁。

代理人 弁理士 本 庄 伸 介

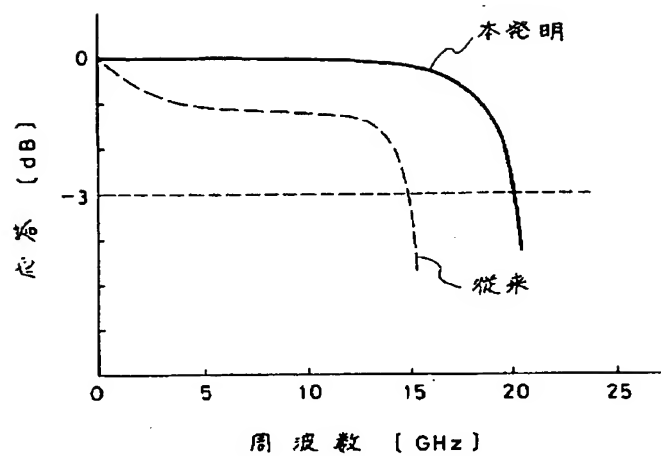
- 5 -

- 6 -



第 2 図

第 1 図



第 3 図